



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0076961
Application Number

출원 년 월 일 : 2002년 12월 05일
Date of Application DEC 05, 2002

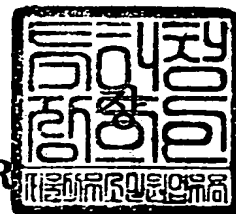
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 26 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.12.05
【발명의 명칭】	선택적인 막 제거를 위한 세정 용액 및 그 세정 용액을 사용하여 실리사이드 공정에서 막을 선택적으로 제거하는 방법
【발명의 영문명칭】	CLEANING SOLUTION FOR SELECTIVELY REMOVING A LAYER AND METHOD FOR SELECTIVELY REMOVING THE LAYER IN SILICIDE PROCESS USING THE CLEANING SOLUTION
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김상용
【성명의 영문표기】	KIM, SANG YONG
【주민등록번호】	720905-1100714
【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 신일아파트 203동 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이근택
【성명의 영문표기】	LEE, KUN TACK
【주민등록번호】	680310-1481412
【우편번호】	442-380

【주소】	경기도 수원시 팔달구 원천동 333-3 삼성1차 아파트 3동 1405호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	18 면 18,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	38 항 1,325,000 원
【합계】	1,372,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

실리사이드막 공정 중에 티타늄 질화막 및 반응하지 않은 미반응 금속막을 선택적으로 제거하는 세정 용액은 산성 용액 및 요오드 함유 산화제를 포함한다. 이와 같은 세정 용액은 또한 포토레지스트 막 및 유기물을 제거하는데도 매우 효과적이다. 게다가, 상기 세정 용액은 텅스텐을 제거하지 않기 때문에, 소자 동작 특성 향상을 위해 최근 많은 주목을 받는 텅스텐 게이트 전극 기술에 매우 유용하게 적용될 수 있다.

【대표도】

도 12

【색인어】

실리사이드막, 금속 게이트, 산화제, 산성 용액, 요오드

【명세서】**【발명의 명칭】**

선택적인 막 제거를 위한 세정 용액 및 그 세정 용액을 사용하여 실리사이드 공정에서 막을 선택적으로 제거하는 방법{CLEANING SOLUTION FOR SELECTIVELY REMOVING A LAYER AND METHOD FOR SELECTIVELY REMOVING THE LAYER IN SILICIDE PROCESS USING THE CLEANING SOLUTION}

【도면의 간단한 설명】

도1은 본 발명에 따른 텅스텐막 및 그 상부에 형성된 선택적으로 제거되어야 할 티타늄 질화막, 코발트막 또는 포토레지스트 막이 형성된 반도체 기판을 개략적으로 도시하는 단면도이다.

도2는 도1에서 선택적으로 티타늄 질화막, 코발트막 또는 포토레지스트 막이 제거된 결과의 반도체 기판을 개략적으로 도시하는 단면도이다.

도3 내지 도6은 본 발명의 세정 용액을 사용하여 금속막을 선택적으로 제거하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도7 내지 도12는 바람직한 실시예에 따라 본 발명의 세정 용액을 사용하여 실리사이드 공정에서 금속막을 선택적으로 제거하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

도13 내지 도14는 다른 실시예에 따라 본 발명의 세정 용액을 사용하여 실리사이드 공정에서 금속막을 선택적으로 제거하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.

* 도면의 주요 부분에 대한 부호의 설명

11 : 반도체 기판 13 : 텅스텐막(또는 코발트 실리사이드막)

15 : 티타늄 질화막(또는 코발트막 또는 포토레지스트)

31 : 반도체 기판 33 : 실리콘을 함유하지 않는 막

35 : 실리콘 함유 도전 패턴 37 : 실리사이드막 형성을 위한 금속막

39 : 티타늄 질화막 41 : 금속 실리사이드막

100 : 반도체 기판 120 : 소자분리영역

140 : 게이트 절연막 160 : 폴리 실리콘막

180 : 텅스텐막 200 : 캐핑 질화막(마스크 질화막)

220 : 포토레지스트 패턴 240 : 게이트 전극

260 : 소오스/드레인 영역 280 : 질화막 스페이서

300 : 코발트막 320 : 티타늄 질화막

340, 360 : 실리사이드막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 반도체 소자 제조 공정 중에 발생하는 원치 않는 막을 제거하는 방법에 관한 것으로서, 더욱 상세하게는 실리사이드 공정에서 발생하는 원치 않는 막을 제거하는 방법에 관한 것이다.

<20> 반도체 소자 제조 공정은 반도체 기판 상에 절연성 막 및 도전성 막을 형성하는 공정을 포함하고 또한 이들 막질 들을 원하는 모양으로 형성하기 위한 사진식각 공정을 포함한다. 사진식각 공정은 패터닝하고자 하는 대상 막질 상에 포토레지스트 패턴을 형성한 후 이를 이용해서 하부에 노출된 막질을 식각하는 공정을 포함한다. 따라서, 식각 공정에 사용된 포토레지스트 패턴은 제거되어야 한다. 뿐만 아니라 식각 공정에서 식각되는 막질과 식각 가스의 반응으로 인해 유기물 또는 폴리머가 발생되기도 한다. 통상적으로는 산소 플라즈마 애싱(plasma ashing) 및 황산 스트립(strip) 공정을 이용해서 이들을 제거하고 있다.

<21> 한편, 소자 동작 속도는 소오스/드레인 및 게이트 전극의 저항과 밀접한 관련이 있다. 따라서, 소자 동작 속도를 향상시키기 위해서 금속 실리사이드 공정이 반도체 제조 공정에 널리 사용되고 있는 실정이다. 실리사이드 공정이란 소정 온도에서 코발트와 같은 금속과 실리콘 사이의 반응을 통해서 비저항이 실리콘보다 낮은 코발트 실리사이드 막을 형성하는 것을 포함한다. 이때, 실리사이드 공정에서, 반응하지 않은 코발트는 제거되어야 한다. 반면, 코발트 실리사이드막은 제거되어서는 안 된다.

<22> 또, 통상적인 코발트 실리사이드 공정은 또한 코발트의 산화를 방지하고 실리사이드 공정 중에 실리사이드막이 응집(agglomeration)되는 것을 방지하기 위해 티타늄 질화막을 형성한다. 따라서, 티타늄 질화막도 실리사이드막이 형성된 이후에는 제거되어야 한다.

<23> 만일 이와 같은 막질들이 제거되지 않으면, 반도체 제조 공정 중에 오염원으로 작용할 수 있으며, 인접한 도전체와 전기적 연결이 발생할 수 있다.

- <24> 통상적으로, 실리사이드 공정에서 미반응 금속 및 티타늄 질화막을 제거하기 위해 강한 산화제인 과산화수소(H_2O_2)를 포함하는 혼합용액을 사용하고 있다.
- <25> 한편, 반도체 소자가 경제적인 관점에서 점점 고집적화 함에 따라 통상적인 폴리실리콘 게이트 전극으로는 고집적화 추세에 부응하여 적당한 동작 속도 및 게이트 전극의 면저항 특성을 만족시킬 수가 없게 되었다. 이에 따라, 최근 폴리실리콘 게이트 전극 상부에 비저항이 폴리실리콘보다 작은 텅스텐 등과 같은 금속을 적층하여 금속 게이트 전극을 형성하는 방법이 소개되고 있다. 따라서, 저저항의 텅스텐 게이트 또한 부식(제거)되어서는 안 된다. 또 텅스텐을 사용한 금속 배선(예컨대, 워드라인 또는 비트 라인) 역시 세정 용액에 의해 부식되어서는 안 된다.
- <26> 하지만, 통상적으로 실리사이드 공정에서 세정 용액으로 사용되는 과산화수소는 텅스텐을 부식시킨다. 결국, 통상적인 과산화수소를 사용할 경우, 고속도로 동작하는 소자를 구현할 수가 없게된다.
- <27> 따라서, 고속도 소자가 요구되는 현 상황에서 선택적으로 티타늄 질화막 및 코발트와 같은 금속은 제거하면서도 코발트 실리사이드막 또는 텅스텐과 같은 금속은 제거하지 않는 새로운 세정 용액이 절실히 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

- <28> 이상에서 설명한 상황하에서 본 발명이 제안되었으며, 본 발명의 목적은 실리사이드 공정에서 티타늄 질화막 및 미반응 금속막을 선택적으로 제거할 수 있는 세정 용액 및 이를 이용한 티타늄 질화막 및 미반응 금속막을 선택적으로 제거하는 방법을 제공하는 것이다.

<29> 본 발명의 다른 목적은 텅스텐 게이트 공정을 적용하는 실리사이드 공정에서 텅스텐 및 실리사이드막은 제거하지 않으면서 티타늄 질화막 및 미반응 금속막은 선택적으로 제거하는 세정 용액 및 이를 이용한 막질 제거 방법을 제공하는 것이다.

<30> 본 발명의 또 다른 목적은 실리사이드 공정에서 금속막을 선택적으로 제거할 수 있는 동시에 포토레지스트 막 및 유기물도 제거할 수 있는 세정 용액 및 이를 이용한 막질 제거 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<31> 상기 목적들을 달성하기 위한 본 발명의 세정 용액은 산성 용액 및 요오드 함유 산화제를 포함하는 것을 특징으로 한다. 상기 세정 용액은 물을 더 포함하는 것이 바람직하다. 이는 산성 용액 및 요오드 함유 산화제의 해리도를 더 증가시키기 위함이다. 이에 따라, 상기 산화제 및 산성 용액의 세정 능력이 향상된다. 바람직하게, 상기 세정 용액은 약 30 중량 퍼센트(wt%) 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트(wt%)의 요오드 함유 산화제를 포함한다. 상기 산성 용액으로는 황산, 인산 등이 사용될 수 있다. 또, 이들이 동시에 사용될 수도 있다. 상기 요오드 함유 산화제로서 KIO_3 , NH_4IO_3 , $LiIO_3$, $CaIO_3$, $BaIO_3$ 등의 요오드산 염(iodate)이 사용될 수 있으며, 이들 중 적어도 어느 하나 이상이 사용된다. 상기 세정 용액이 물을 더 포함할 경우, 요오드 함유 산화제로서 상기 언급한 요오드산 염 이외에 KI , NH_4I 등이 사용될 수 있으며, 이들 중 어느 하나 이상이 사용된다. 즉, 요오드 함유 산화제는 KIO_3 , NH_4IO_3 , $LiIO_3$, $CaIO_3$, $BaIO_3$, KI , NH_4I 중 어느 하나 이상을 포함한다. 산성 용액으로서, 황산을 사용할 경우, 약 96 퍼센트 이상의 농도를 갖는 황산이 적당하다.

- <32> 상기 산성 용액 및 요오드 함유 산화제는 협동하여 티타늄 질화막 및 코발트를 효과적으로 제거하며, 또한 포토레지스트 막 및 유기물도 제거할 수 있다. 반면, 상기 산성 용액 및 요오드 함유 산화제는 코발트 실리사이드막 및 텅스텐은 식각하지 않는다. 상기 요오드 함유 산화제는 금속 실리사이드막의 실리콘과 반응을 하여 그 표면에 보호막으로서 실리콘 산화막(SiO_x)을 형성한다. 실리콘 산화막(SiO_x)은 황산에 내식성이 매우 강하다. 이에 따라 금속 실리사이드막이 보호된다. 또한, 상기 요오드 함유 산화제는 텅스텐과 반응하여 그 표면에 텅스텐 삼산화막(WO_3) 같은 산성 용액에서 매우 안정적인 보호막(passivation layer)을 형성한다. 이에 따라 텅스텐의 부식이 방지된다.
- <33> 세정 용액의 세정 정도는 온도에 비례한다. 예컨대, 약 상온(room temperature) 내지 120 °C 온도 범위에서 세정 공정을 실시할 수 있다. 세정 용액의 세정 정도는 또한 첨가되는 물의 양에도 비례한다. 첨가되는 물의 양은 약 30 중량 % 이하인 것이 바람직하다.
- <34> 구체적으로 상기 본 발명의 목적들을 달성하기 위한 금속막을 선택적으로 제거하는 방법은, 실리콘 반도체 기판 상에 소오스/드레인 영역 및 게이트 전극으로 이루어진 트랜지스터를 형성하는 단계를 포함한다. 상기 트랜지스터를 포함하여 노출된 반도체 기판 상에 실리사이드막 형성을 위한 금속막을 형성한다. 상기 금속막 상에 티타늄 질화막을 형성한다. 실리사이드 열처리 공정을 진행하여 실리콘 및 금속막 사이의 실리사이드 반응을 일으킨다. 즉, 노출된 소오스/드레인 영역의 실리콘과 그것과 직접 접촉하는 상기 금속막이 반응하여 금속 실리사이드막을 형성한다. 세정 용액을 사용하여, 상기 소오스/드레인 영역의 실리콘과 직접 접촉 하지 않아 반응하지 않은, 즉, 실리사이드 반응에 참여하지 않은 미반응 금속막 및 상기 티타늄 질화막을 제거한다. 이때, 상기

세정 용액은 산성 용액, 요오드 함유 산화제를 포함한다. 바람직하게 상기 세정 용액은 물을 더 포함한다. 상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 것이 바람직하다.

<35> 상기 방법에서 상기 트랜지스터를 형성하는 단계는, 상기 실리콘 반도체 기판 상에 게이트 절연막, 폴리 실리콘막, 텅스텐막 그리고 캐핑 질화막을 차례로 형성하는 단계와, 상기 캐핑 질화막 상에 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 그 하부에 형성된 막질들을 차례로 식각하여 상기 게이트 전극을 형성하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 이온주입 공정을 진행하여 상기 게이트 전극 양측의 실리콘 반도체 기판에 상기 소오스/드레인 영역을 형성하는 단계와, 상기 게이트 전극 측벽에 질화막 스페이서를 형성하는 단계를 포함하여 이루어진다. 이때, 상술한 세정 용액을 사용하여 상기 포토레지스트 패턴을 제거할 수 있다. 상기 금속막은 코발트, 티타늄, 니켈 중 적어도 어느 하나를 포함한다.

<36> 이상의 방법에 따르면, 상기 세정 용액은 금속 실리사이드막 및 저저항 게이트 전극을 구성하는 텅스텐은 식각하지 않으면서 티타늄 질화막 및 미반응 금속막을 선택적으로 제거한다. 따라서, 실리사이드 공정과 텅스텐 금속 게이트 공정을 동시에 적용할 수 있다.

<37> 또는 상기 트랜지스터를 형성하는 단계는, 상기 실리콘 반도체 기판 상에 게이트 절연막 및 폴리 실리콘막을 차례로 형성하는 단계와, 상기 폴리 실리콘막 상에 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 그 하부에 형성된 막질들을 차례로 식각하여 상기 게이트 전극을 형성하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 이온주입 공정을 진행하여 상기 게이트 전극 양측의

실리콘 반도체 기판에 상기 소오스/드레인 영역을 형성하는 단계와, 상기 게이트 전극 측벽에 질화막 스페이서를 형성하는 단계를 포함하여 이루어진다. 이 경우, 상기 실리콘 사이드 열처리 공정을 진행하여 상기 소오스/드레인 영역에 상기 금속 실리콘사이드막을 형성할 때, 상기 게이트 전극 상부의 폴리 실리콘 상에도 금속 실리콘사이드막이 형성된다. 이는 씨모스(CMOS) 공정에서 이중 폴리 실리콘 게이트 즉, 피모스(PMOS)에는 피(p)형의 불순물을, 엔모스(NMOS)에는 엔(n)형의 불순물을 주입하는 공정에 적용하는 경우이다. 이 경우에도 상기 포토레지스트 패턴은 상기 세정 용액을 사용하여 제거될 수 있다.

<38> 이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막) 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 형성된다고 언급되어지는 경우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층(또는 막)이 개재될 수도 있다는 것을 의미한다.

<39> 도1은 본 발명에 따른 반도체 소자 제조 공정 중에 식각(또는 제거)되어서는 안되는 막(13) 및 그것의 위에 형성된 식각(또는 제거)되어야 할 막(15)이 형성된 반도체 기판(11)을 개략적으로 도시한다. 상기 식각되어서는 안되는 막(13)은, 본 발명이 개시하는 세정 용액에 의해 식각되지 않는 임의의 막질이다. 예컨대, 상기 식각되어서는 안되는

는 막(13)은 텅스텐막 또는 금속 실리사이드막을 포함한다. 한편, 상기 식각되어야 하는 막(15)은, 본 발명이 개시하는 세정 용액에 의해 식각되는 막질이다. 상기 식각되어야 하는 막(15)은, 예컨대, 티타늄 질화막, 코발트막, 유기물, 또는 포토레지스트 막을 포함한다.

<40> 상기 반도체 기판(11)과 상기 식각되어서는 안되는 막(13) 사이 그리고 상기 식각되어서는 안되는 막(13)과 상기 식각되어야 할 막(15) 사이에 임의의 제3의 막이 더 개재할 수 있다.

<41> 다음, 도2를 참조하여, 본 발명에 따른 세정 용액을 사용하여 적당한 온도에서 상기 식각되어야 할 막(15) 만을 선택적으로 식각한다. 상기 세정 용액은 산성 용액 및 요오드(I)를 함유하는 산화제를 포함한다. 산성 용액으로서, 황산, 인산 등이 사용될 수 있다. 이들 각각 또는 조합을 사용할 수 있다. 요오드를 함유하는 산화제로서, KIO_3 , NH_4IO_3 , $LiIO_3$, $CaIO_3$, $BaIO_3$, KI , NH_4I 등이 있으며, 이들 중 적어도 하나 이상을 사용할 수 있다.

<42> 산성 용액 및 요오드 함유 산화제의 세정 능력을 더 향상시키기 위해서, 상기 세정 용액은 물을 더 포함하는 것이 바람직하다. 물의 첨가는 상기 산성 용액 및 요오드 함유 산화제의 해리도를 더 향상시킨다. 따라서, 첨가되는 물의 양은 세정 용액의 세정 능력에 비례한다. 이 경우, 상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하는 것이 적당하다. 또, 상기 세정 용액은 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 것이 바람직하다.

- <43> 세정 시간은 온도에 반비례하며, 즉, 세정 능력은 온도에 비례한다. 약 상온 내지 약 120℃ 의 범위에서 세정 공정을 진행하는 것이 적당하다. 하지만 공정에 따라서는 상기와 같은 범위가 다소 변경될 수도 있음은 당업자에 있어서 자명할 것이다.
- <44> 도3 내지 도6은 본 반도체 제조 공정 중에 실시되는 실리사이드 공정에서 원치 않는 막을 제거하는 방법을 설명하기 위한 반도체 기판의 단면도들이다.
- <45> 먼저, 도3에 도시된 바와 같이, 실리콘을 함유하는 도전 패턴(35)을 구비한 반도체 기판(31)이 제공된다. 상기 반도체 기판(31)은 상기 실리콘 패턴(35)과의 사이에 실리콘을 포함하지 않는 막질(33)을 더 포함한다. 여기서, 상기 실리콘 함유 도전 패턴(35)은 실리콘을 포함하지 않는 막질(33) 표면 상에 일정한 형상을 갖도록 형성되어 있으나, 그것(33)의 내부에 형성될 수도 있다. 후자의 경우, 실리콘 도전 패턴(35)의 상부 표면만이 노출될 것이다. 또, 상기 실리콘 도전 패턴(35)의 양측벽에 다른 막질, 예컨대, 절연막질이 더 형성될 수 있다. 이 경우에도 실리콘 도전 패턴(35)의 상부 표면만이 노출될 것이다. 어느 경우이든지, 노출된 실리콘 도전 패턴의 표면 및 그곳에 직접 접하는 금속막 사이에 실리사이드 반응이 일어나서 실리사이드막이 형성되고, 또 형성된 실리사이드막에 대한 전기적 접속 공정이 후속 공정으로 진행될 것이다.
- <46> 다음, 도4를 참조하여, 상기 실리콘 도전 패턴(35)을 덮도록 상기 실리콘을 포함하지 않는 막질(33) 상에 금속막(37) 및 티타늄 질화막(39)을 차례로 형성한다. 상기 금속막(37)으로서, 코발트, 티타늄, 니켈 등을 사용할 수 있다.
- <47> 다음, 도5를 참조하여, 실리사이드 열처리 공정을 진행하여 노출된 실리콘 도전 패턴(35) 표면에 금속 실리사이드막(41)을 형성한다. 이때, 실리콘 도전 패턴(35)과 직접

접촉 하지 않는, 즉, 상기 실리콘을 포함하지 않는 막질 (33) 상에 형성된 금속막(37a)은 실리사이드 반응을 일으키지 않는다.

<48> 다음, 상기 티타늄 질화막(39) 및 미반응의 금속막(37a)을 세정 용액을 사용하여 제거한다. 이에 따라, 도6에 도시된 바와 같이, 그 표면에 금속 실리사이드막(41)이 형성된 도전 패턴(35)이 완성된다.

<49> 상기 세정 용액은 요오드 함유 산화제 및 산성 용액을 포함하는 혼합 용액이다. 바람직하게, 상기 세정 용액은 물을 더 포함한다. 상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하는 것이 바람직하다. 또, 상기 세정 용액은 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 것이 바람직하다. 세정 시간은 온도에 반비례하며, 즉, 세정 능력은 온도에 비례한다. 약 상온 내지 약 120℃의 범위에서 세정 공정을 진행하는 것이 바람직하다.

<50> 상기 실리콘을 포함하지 않는 막질(33)은 텅스텐 패턴을 더 포함할 수 있으며, 이 때, 상기 세정 용액은 텅스텐 패턴과 반응하여 그 표면에 보호막으로서 텅스텐 삼산화막(WO_3)을 형성함으로써 텅스텐 패턴을 보호한다. 또, 상기 세정 용액은 상기 금속 실리사이드막(41)과 반응하여 그것의 표면에 보호막으로서 실리콘 산화막(SiO_x)을 형성함으로써 금속 실리사이드막을 보호한다.

<51> 티타늄 질화막(39) 및 미반응 금속막(37a)을 제거한 후, 후속 공정으로 절연막(미도시)을 증착하고 이를 패터닝하여 상기 금속 실리사이드막(41)의 소정 부분을 노출시키는 개구부를 형성하고 그곳에 금속 같은 도전 물질을 채워 상기 실리콘 도전 패턴(35)과 전기적으로 접속하는 금속 도전 패턴(또는 도전 플러그)을 형성한다.

- <52> 상기 실리콘 도전 패턴(35)과 상기 금속 도전 패턴(또는 도전 플러그) 사이에는 실리콘사이드막이 개재하고 있어 그들 사이의 접촉 저항 특성 또는 상기 실리콘 도전 패턴(35)의 저항 특성이 향상된다.
- <53> 이제, 도7 내지 도12를 참조하여, 본 발명의 바람직한 실시예에 따른 실리콘사이드 공정에서 원치 않는 막을 제거하는 방법을 설명하기로 한다.
- <54> 도7 내지 도12는 본 발명의 일 실시예에 따라 본 발명의 세정 용액을 사용하여 실리콘사이드 공정에서 원치 않는 막을 제거하는 방법을 설명하기 위한 반도체 기판의 단면도들이다. 본 발명에 대한 명확한 이해 및 도의 간략화를 위해서, 단지 하나의 트랜지스터만을 도시하였다.
- <55> 먼저, 도7을 참조하여, 실리콘 반도체 기판(100)에 불순물 도핑에 의해 웰(well)을 형성하고, 소자 분리 공정에 의해 소자분리막(120)을 형성하고 채널이온주입을 진행한다. 이와 같은 공정들은 통상적인 공정으로서 널리 알려져 있기 때문에 자세한 설명을 생략하였다. 이어서, 게이트 절연막(140), 폴리 실리콘막(160), 텅스텐막(180) 및 캐핑 질화막(200)을 순차적으로 형성한다. 상기 텅스텐막(180) 및 상기 폴리 실리콘막(160) 사이에는 도전성 장벽 막을 더 형성하는 것이 바람직하다. 상기 텅스텐막(180)은 소자의 동작 속도를 향상시키기 위함이다. 상기 도전성 장벽 막은 상기 텅스텐막 및 상기 폴리 실리콘막 사이의 반응을 방지하기 위한 것이다.
- <56> 다음, 상기 캐핑 질화막(200) 상에 게이트 전극을 한정하는 포토레지스트 패턴(220)을 형성한다. 상기 포토레지스트 패턴(220)에 의해 노출된 하부 막질들을 식각하여 도8에 도시된 바와 같이 상기 포토레지스트 패턴(220)에 대응하는 게이트 전극(240)을 형성한다. 상기 포토레지스트 패턴(220)을 제거한 후, 이온주입 공정을 진행하여 상

기 게이트 전극(240) 양측의 반도체 기판(100)에 불순물 확산 영역들(260)을 형성한다. 이때, 주입되는 불순물은 상기 실리콘 반도체 기판(100)의 도전형에 대하여 반대 도전형을 갖는다. 예컨대, 상기 실리콘 반도체 기판(100)이 피(p)형이라면, 주입되는 불순물은 엔(n)형이다. 상기 불순물 확산 영역들(260)은 소오스/드레인 영역이다. 상기 포토레지스트 패턴(220)은 이 분야에서 잘 알려진 방법으로 제거될 수 있다. 예컨대, 산소 플라즈마 애싱 및 황산 스트립 공정에 의해 제거될 수 있다. 또한 상기 포토레지스트 패턴(22)은 본 발명에 따른 세정 용액을 사용하여 제거될 수도 있다. 상기 세정 용액에 대하여는 후술할 것이다.

<57> 계속해서, 상기 게이트 전극(240)의 양측벽에 질화막 스페이서(280)를 형성한다. 상기 질화막 스페이서(280)는 실리콘 질화막을 형성한 후 에치백 공정을 진행함으로써 형성된다.

<58> 다음, 도9를 참조하여, 전 세정(pre-cleaning) 공정을 진행 한 후, 실리콘사이드막 형성을 위해 코발트막(300)을 형성한다. 상기 전 세정 공정은 상기 실리콘 반도체 기판(100)에 존재하는 자연 산화막(native oxide)을 제거하고 또한 상기 실리콘 반도체 기판(100)의 손상된 막을 제거하기 위해 진행한다. 예컨대, 상기 전 세정 공정은 2단계 처리에 의해 수행될 수 있다.

<59> 즉, 연속적인 NH_4OH 및 H_2O_2 의 혼합물에 의한 제1처리 및 불산(HF)에 의한 제2처리를 진행하여 자연 산화막 및 기판 손상을 제거할 수 있다. 또는 상기 전 세정 공정은 CF_4 및 O_2 의 혼합가스에 의한 제1처리 및 불산(HF)에 의한 제2처리에 의해 수행될 수도 있다.

- <60> 상기 코발트막(300) 대신 티타늄 또는 니켈을 사용할 수도 있다. 상기 코발트막(300)은 이 분야에서 잘 알려진 어떠한 방법으로도 형성할 수 있다. 예컨대, 스퍼터링(sputtering) 방법이 사용될 수 있다.
- <61> 다음, 도10을 참조하여, 상기 코발트막(300) 상에 티타늄 질화막(320)을 형성한다. 상기 티타늄 질화막(320)은 이 분야에서 잘 알려진 어떠한 방법에 의해서도 형성될 수 있다. 예컨대, 스퍼터링 방법을 사용할 수 있다. 상기 티타늄 질화막(320)은 상기 코발트막(300)의 산화를 방지하고, 실리사이드막이 응집(agglumeration)되는 것을 방지하기 위해 형성된다.
- <62> 다음, 도11을 참조하여, 실리사이드 열처리 공정을 진행하여 상기 코발트막(300)과 직접 접하는 실리콘 반도체 기판, 즉, 소오스/드레인 영역(260)의 실리콘을 반응시켜 코발트 실리사이드막(CoSi_2 , 340)을 형성한다. 결과적으로, 상기 소오스/드레인 영역(260)을 제외한 다른 영역 상의 코발트막(300)은 실리콘과 직접 접하지 않기 때문에, 반응을 하지 않고 그대로 존재한다(300a).
- <63> 다음, 도12를 참조하여, 상기 티타늄 질화막(320) 및 미반응의 코발트막(300a)을 제거하는 세정 공정을 진행한다. 상기 세정 공정은 산성 용액 및 요오드 함유 산화제를 포함하는 세정 용액을 사용한다. 이러한 세정 용액은 앞서 설명한 포토레지스트 패턴(220)을 제거하는 데에도 사용될 수 있다.
- <64> 산성 용액으로서 황산, 인산 등이 있으며, 이들 각각 또는 이들의 혼합 용액을 사용할 수 있다. 요오드 함유 산화제로서, KIO_3 , NH_4IO_3 , LiIO_3 , CaIO_3 , BaIO_3 , KI , NH_4I 등이 있으며, 이들 중 적어도 하나 이상을 사용한다. 여기서, 열거한 요오드 함유 산화제들은 단지 일 예에 불과하고, 요오드를 함유하는 어떠한 산화제라도 사용할 수 있다.

상기 요오드 함유 산화제는 티타늄 질화막(320) 및 미반응의 코발트막(340a)은 제거하지 만, 코발트 실리사이드막(340) 및 상기 게이트 전극(240)을 구성하는 텅스텐막(180a)은 제거(식각)하지 않는다. 왜냐하면, 상기 요오드 함유 산화제가 코발트 실리사이드막의 실리콘과 반응하여 그 표면에 얇은 보호막으로서 실리콘 산화막(SiO_x), 예컨대, 이산화 실리콘막(SiO_2)을 형성하고, 또 텅스텐과 반응하여 그 표면에 보호막으로서 산에 대하여 안정적인 텅스텐 삼산화막(WO_3)을 형성하기 때문이다.

<65> 상기 세정 용액은 물을 포함하는 것이 더 바람직하다. 상기 세정 용액에 물이 첨가될 경우, 제거 반응에 참여하는 활성 이온들의 양이 증가된다. 바람직하게, 상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함한다.

<66> 한편, 세정 공정의 시간은 온도에 반비례, 즉, 세정 용액의 세정 능력은 온도에 비례한다. 상온 내지 약 120°C 의 온도 범위에서 세정 공정을 진행하는 것이 바람직하다.

<67> 보다 구체적으로 실리사이드 열처리 공정에 대해 설명을 한다. 먼저, 적절한 온도에서 제1열처리를 진행한다. 상기 제1열처리로 인해, 화학량론적으로, 대부분의 코발트 모노실리사이드(CoSi) 및 소량의 코발트 다이실리사이드(CoSi_2)를 갖는 중간 상태의 실리사이드막이 형성된다. 상기 제1열처리 후, 미반응의 코발트막 및 티타늄 질화막을 제거하기 위해 상술한 세정 용액을 사용하여 제1세정 공정을 진행한다. 이어서 다시 티타늄 질화막을 형성하고, 적절한 온도에서 제2열처리를 진행한다. 상기 제2열처리로 인해 화학량론적으로 대부분이 코발트 다이실리사이드(CoSi_2)를 갖는 저저항의 코발트 실리

사이드막(340)이 형성된다. 마지막으로 제2세정 공정을 진행하여 상술한 세정 용액을 사용하여 티타늄 질화막 및 미반응의 코발트를 제거한다.

<68> 도13 및 도14는 본 발명의 다른 실시예에 따라, 본 발명의 세정 용액을 사용하여 실리콘사이드 공정에서 원치 않는 막을 제거하는 방법을 설명하기 위한 반도체 기판의 단면도들이다. 앞서 설명한 방법과 달리 게이트 전극을 구성하는 도전 물질이 폴리 실리콘으로만 형성되는 경우이다. 이와 같은 게이트 전극 구조는, 게이트 전극 물질인 폴리 실리콘에 채널형과 동일한 형의 불순물을 도핑시키는 듀얼 게이트(dual gate) 기술에 나타난다. 듀얼 게이트는 채널 표층의 기능을 강화시키고 대칭적인 저전압 동작을 가능하게 하는 이점이 있다.

<69> 간략히 설명을 하면, 먼저, 도13을 참조하여, 실리콘 반도체 기판(100)에 불순물 도핑에 의해 웰(well)을 형성하고, 소자 분리 공정에 의해 소자분리막(120)을 형성하고 채널이온주입을 진행한다. 다음, 게이트 절연막(140a)에 의해서 상기 실리콘 기판(100)과 전기적으로 절연된 폴리 실리콘 게이트 전극(160a)을 형성한다. 계속해서, 상기 폴리실리콘 게이트 전극(160a)을 이온주입 마스크로 사용하여 이온주입 공정을 진행하여 불순물 확산 영역들(260)을 형성한다. 계속해서, 상기 폴리 실리콘 게이트 전극(160a) 측벽에 측벽 스페이서(280)를 형성한다.

<70> 다음 공정은 실리콘사이드 공정으로서, 실리콘사이드 형성을 위한 금속막 및 티타늄 질화막을 형성한다. 이때, 상기 금속막은 상기 불순물 확산 영역들(260) 뿐 아니라 상기 폴리 실리콘 게이트(160a) 상부의 실리콘과도 직접 접촉하게 된다. 계속해서, 실리콘사이드 열처리 공정을 진행하여 금속 실리콘사이드막(340, 360)을 상기 불순물 확산 영역들(260) 및 상기 게이트 전극(160a) 상부에 각각 형성한다.

<71> 다음 도14를 참조하여, 앞서 상술한 방법과 동일하게 산성 용액 및 요오드 함유 산화제를 포함하는 세정 용액을 사용하여 미반응 금속막(300a) 및 티타늄 질화막(320)을 제거한다.

<72> 이상의 상세한 설명은 본 발명을 예시하고 설명하는 것이다. 또한 전술한 내용은 본 발명의 바람직한 실시 형태를 나타내고 설명하는 것에 불과하며, 전술한 바와 같이 본 발명은 다양한 다른 조합, 변경 및 환경에서 사용할 수 있으며, 본 명세서에 개시된 발명의 개념의 범위, 저술한 개시 내용과 균등한 범위 및/또는 당업계의 기술 또는 지식의 범위 내에서 변경 또는 수정이 가능하다. 전술한 실시예들은 본 발명을 실시하는데 있어 최선의 상태를 설명하기 위한 것이며, 본 발명과 같은 다른 발명을 이용하는데 당업계에 알려진 다른 상태로의 실시, 그리고 발명의 구체적인 적용 분야 및 용도에서 요구되는 다양한 변경도 가능하다. 따라서, 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니다. 또한 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 한다.

【발명의 효과】

<73> 이상에서 설명한 본 발명의 세정 용액을 사용하면, 실리콘사이드 공정에서 효과적으로 미반응 금속(코발트, 티타늄 등)과 티타늄 질화막을 제거할 수 있다.

<74> 또한 본 발명의 세정 용액은 텅스텐막은 식각하지 않기 때문에, 텅스텐 게이트 공정을 사용할 수 있다. 따라서, 소자 동작 특성을 향상시킬 수 있다.

<75> 게다가, 본 발명의 세정 용액은 포토레지스트 및 유기물도 효과적으로 제거할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 제조 공정 중에 티타늄 함유 막 및 코발트막을 세정 용액으로 선택적으로 제거하는 방법에서,

상기 세정 용액은 산성 용액 및 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 2】

제1항에 있어서,

상기 세정 용액은 물을 더 포함하는 막 제거 방법.

【청구항 3】

제1항 또는 제2항에 있어서,

상기 산성 용액은 황산 및 인산 중 적어도 어느 하나를 포함하고, 상기 요오드 함유 산화제는 KIO_3 , NH_4IO_3 , $LiIO_3$, $CaIO_3$, $BaIO_3$, KI , NH_4I 중 적어도 어느 하나를 포함하는 막 제거 방법.

【청구항 4】

제2항에 있어서,

상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 5】

제4항에 있어서,

상기 티타늄 함유 막은 티타늄 질화막 및 티타늄 막 중 적어도 어느 하나를 포함하는 막 제거 방법.

【청구항 6】

반도체 제조 공정 중에 포토레지스트 막 및 유기물을 세정 용액으로 선택적으로 제거하는 방법에서,

상기 세정 용액은 산성 용액 및 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 7】

제6항에 있어서,

상기 세정 용액은 물을 더 포함하는 막 제거 방법.

【청구항 8】

제6항 또는 제7항에 있어서,

상기 산성 용액은 황산 및 인산 중 적어도 어느 하나를 포함하고, 상기 요오드 함유 산화제는 KIO_3 , NH_4IO_3 , $LiIO_3$, $CaIO_3$, $BaIO_3$, KI , NH_4I 중 적어도 어느 하나를 포함하는 막 제거 방법.

【청구항 9】

제7항에 있어서,

상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 10】

제9항에 있어서,

상기 티타늄 함유 막은 티타늄 질화막 및 티타늄 막 중 적어도 어느 하나를 포함하는 막 제거 방법.

【청구항 11】

실리사이드막 형성 공정 중에 금속막을 선택적으로 제거하는 방법에서,

실리콘을 포함하는 반도체 기판 상에 상기 실리사이드막 형성을 위한 금속막을 형성하는 단계;

실리사이드 열처리 공정을 진행하여 상기 실리콘 및 상기 금속막 사이의 실리사이드 반응을 일으켜 금속 실리사이드막을 형성하는 단계;

세정 용액을 사용하여, 상기 실리사이드 반응에 참여하지 않은 미반응 금속막을 제거하는 세정 단계를 포함하되,

상기 세정 용액은 산성 용액 및 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 12】

제11항에 있어서,

상기 금속막은 코발트, 티타늄 및 니켈 중 적어도 어느 하나를 포함하는 막 제거 방법.

【청구항 13】

제11항에 있어서,

상기 세정 용액은 물을 더 포함하는 막 제거 방법.

【청구항 14】

제11항에 있어서,

상기 산성 용액은 황산 및 인산을 포함하고, 상기 요오드 함유 산화제는 KIO_3 , NH_4IO_3 , LiIO_3 , CaIO_3 , BaIO_3 , KI , NH_4I 중 적어도 어느 하나를 포함하는 막 제거 방법.

【청구항 15】

제14항에 있어서,

상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 16】

제11항 또는 제15항에 있어서,

상기 세정 단계는 약 상온 내지 약 120°C 의 온도 범위에서 진행되는 막 제거 방법.

【청구항 17】

제11항에 있어서,

상기 금속막을 형성하기 전에 자연 산화막을 제거하고 반도체 기판의 손상을 제거하기 위해, 연속적인 NH_4OH 및 H_2O_2 의 혼합물에 의한 제1처리 및 불산(HF)에 의한 제2

처리 또는 CF_4 및 O_2 의 혼합가스에 의한 제1처리 및 불산(HF)에 의한 제2처리를 더 포함하는 막 제거 방법.

【청구항 18】

제11항에 있어서,

상기 금속 실리사이드막을 형성하는 단계는

제1열처리 공정을 진행하는 단계;

상기 세정 용액을 사용하여 미반응 금속막을 제거하는 제1세정 단계;

제2열처리 공정을 진행하는 단계를 포함하여 이루어지는 막 제거 방법.

【청구항 19】

제18항에 있어서,

상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 20】

제19항에 있어서,

상기 산성 용액은 황산 및 인산 중 적어도 어느 하나를 포함하고, 상기 요오드 함유 산화제는 KIO_3 , NH_4IO_3 , LiIO_3 , CaIO_3 , BaIO_3 , KI , NH_4I 중 적어도 어느 하나를 포함하는 막 제거 방법.

【청구항 21】

제19항에 있어서,

상기 세정 단계 및 제1세정 단계는 약 상온 내지 약 120℃ 의 온도 범위에서 진행되는 막 제거 방법.

【청구항 22】

제11항에 있어서,

상기 반도체 기판은 텅스텐막을 더 포함하고, 상기 세정 용액은 상기 텅스텐막은 제거하지 않는 막 제거 방법.

【청구항 23】

제11항에 있어서,

상기 금속막을 형성한 후 상기 실리사이드 열처리 공전 전에 상기 금속막 상에 티타늄 질화막을 형성하는 단계를 더 포함하며, 상기 세정 용액은 상기 티타늄 질화막도 제거하는 막 제거 방법.

【청구항 24】

제23항에 있어서,

상기 금속 실리사이드막을 형성하는 단계는

제1열처리 공정을 진행하는 단계;

상기 세정 용액을 사용하여 상기 티타늄 질화막 및 미반응 금속막을 제거하는 제1세정 단계;

티타늄 질화막을 추가로 형성하는 단계;

제 2열처리 공정을 진행하는 단계를 포함하여 이루어지며,

이때, 상기 세정 단계는 상기 추가로 형성된 티타늄 질화막 및 미반응 실리콘을 제거하는 막 제거 방법.

【청구항 25】

실리사이드막 형성 공정 중에 금속막을 선택적으로 제거하는 방법에서,
실리콘 반도체 기판 상에 소오스/드레인 영역 및 게이트 전극으로 이루어진 트랜지스터를 형성하는 단계;

상기 트랜지스터를 포함하여 노출된 반도체 기판 상에 실리사이드막 형성을 위한 금속막을 형성하는 단계;

상기 금속막 상에 티타늄 질화막을 형성하는 단계;

실리사이드 열처리 공정을 진행하여 노출된 소오스/드레인 영역의 실리콘과 그것과 직접 접촉 하는 상기 금속막을 반응시켜 금속 실리사이드막을 형성하는 단계;

세정 용액을 사용하여, 상기 티타늄 질화막 및 상기 소오스/드레인 영역의 실리콘과 직접 접촉 하지 않아 반응하지 않은 미반응 금속막을 제거하는 세정 단계를 포함하되,

상기 세정 용액은 산성 용액, 요오드 함유 산화제 및 물을 포함하는 막 제거 방법.

【청구항 26】

제25항에 있어서,

상기 트랜지스터를 형성하는 단계는,

상기 실리콘 반도체 기판 상에 게이트 절연막, 폴리 실리콘막, 텅스텐막 그리고 캐핑 질화막을 차례로 형성하는 단계;

상기 캐핑 질화막 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 사용하여 그 하부에 형성된 막질들을 차례로 식각하여 상기 게이트 전극을 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

이온주입 공정을 진행하여 상기 게이트 전극 양측의 실리콘 반도체 기판에 상기 소오스/드레인 영역을 형성하는 단계;

상기 게이트 전극 측벽에 질화막 스페이서를 형성하는 단계를 포함하여 이루어지는 막 제거 방법.

【청구항 27】

제26항에서,

상기 포토레지스트 패턴은 상기 세정 용액을 사용하여 제거되는 막 제거 방법.

【청구항 28】

제25항 또는 제27항에 있어서,

상기 산성 용액은 황산 및 인산 중 적어도 어느 하나를 포함하고, 상기 요오드 함유 산화제는 KIO_3 , NH_4IO_3 , $LiIO_3$, $CaIO_3$, $BaIO_3$, KI , NH_4I 중 적어도 어느 하나를 포함하고, 상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 29】

제28항에 있어서,

상기 세정 단계는 약 상온 내지 약 120℃ 의 온도 범위에서 진행되는 막 제거 방법.

【청구항 30】

제29항에 있어서,

상기 금속막은 코발트, 티타늄, 니켈 중 적어도 어느 하나를 포함하는 막 제거 방법.

【청구항 31】

제25항에 있어서,

상기 트랜지스터를 형성하는 단계는,

상기 실리콘 반도체 기판 상에 게이트 절연막 및 폴리 실리콘막을 차례로 형성하는 단계;

상기 폴리 실리콘막 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 사용하여 그 하부에 형성된 막질들을 차례로 식각하여 상기 게이트 전극을 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

이온주입 공정을 진행하여 상기 게이트 전극 양측의 실리콘 반도체 기판에 상기 소오스/드레인 영역을 형성하는 단계;

상기 게이트 전극 측벽에 질화막 스페이서를 형성하는 단계를 포함하여 이루어지며,

상기 실리사이드 열처리 공정을 진행하여 상기 소오스/드레인 영역에 상기 금속 실리사이드막을 형성할 때, 상기 게이트 전극 상부의 폴리 실리콘 상에도 금속 실리사이드막이 형성되는 막 제거 방법.

【청구항 32】

제31항에서,

상기 포토레지스트 패턴은 상기 세정 용액을 사용하여 제거되는 막 제거 방법.

【청구항 33】

제31항에 있어서,

상기 산성 용액은 황산 및 인산 중 적어도 어느 하나를 포함하고, 상기 요오드 함유 산화제는 KIO_3 , NH_4IO_3 , LiIO_3 , CaIO_3 , BaIO_3 , KI , NH_4I 중 적어도 어느 하나를 포함하고, 상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 막 제거 방법.

【청구항 34】

제33항에 있어서,

상기 세정 단계는 약 상온 내지 약 120°C 의 온도 범위에서 진행되는 막 제거 방법.

【청구항 35】

반도체 제조 공정 중 실리사이드 공정에서 티타늄 질화막 및 미반응 금속막을 선택적으로 제거하기 위해 사용되는 세정 용액에 있어서,

상기 세정 용액은 산성 용액, 요오드 함유 산화제 및 물을 포함하는 것을 특징으로 하는 세정 용액.

【청구항 36】

제35항에 있어서,

상기 산성 용액은 황산 및 인산 중 적어도 어느 하나를 포함하고, 상기 요오드 함유 산화제는 KIO_3 , NH_4IO_3 , LiIO_3 , CaIO_3 , BaIO_3 , KI , NH_4I 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 세정 용액.

【청구항 37】

제35항 또는 제36항에 있어서,

상기 세정 용액은 약 30 중량 퍼센트 이하의 물을 포함하고, 약 0.003 내지 10 중량 퍼센트의 요오드 함유 산화제를 포함하는 것을 특징으로 하는 세정 용액.

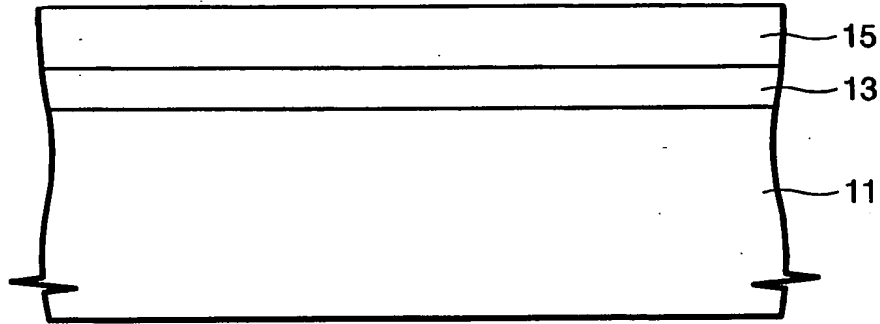
【청구항 38】

제35항에 있어서,

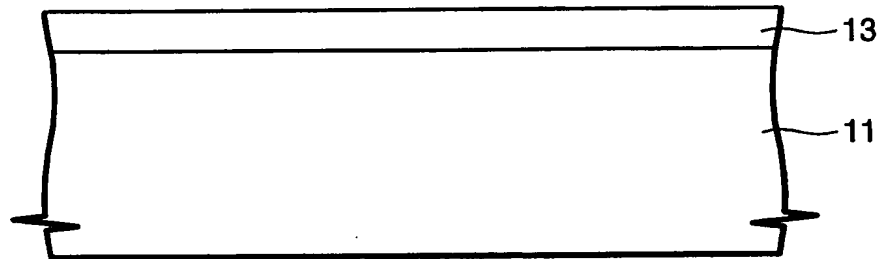
상기 미반응 금속막은 코발트, 티타늄, 니켈 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 세정 용액.

【도면】

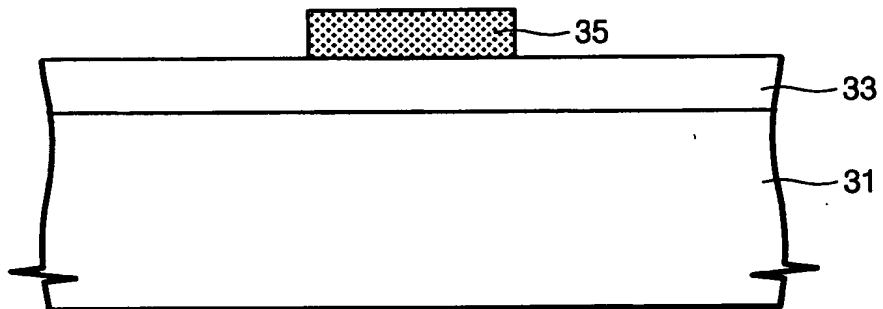
【도 1】



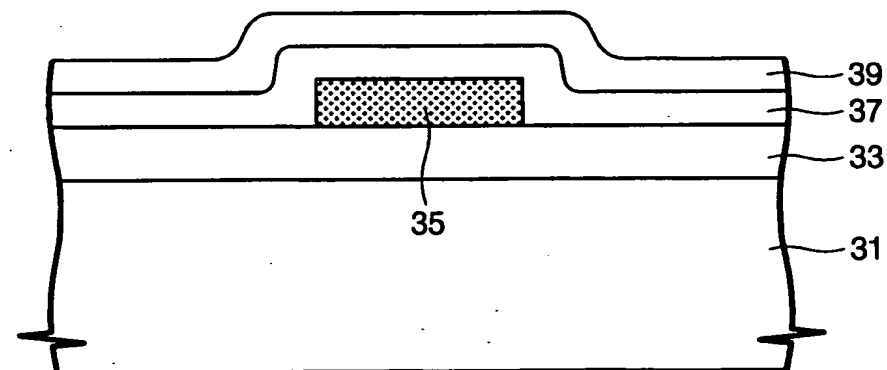
【도 2】



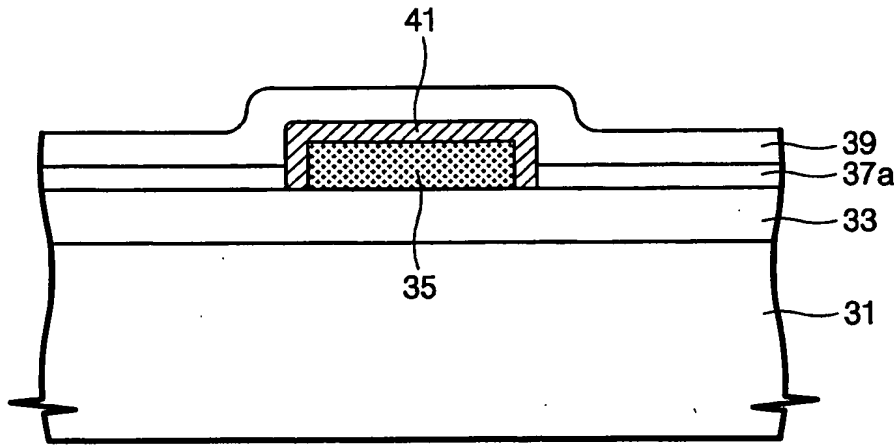
【도 3】



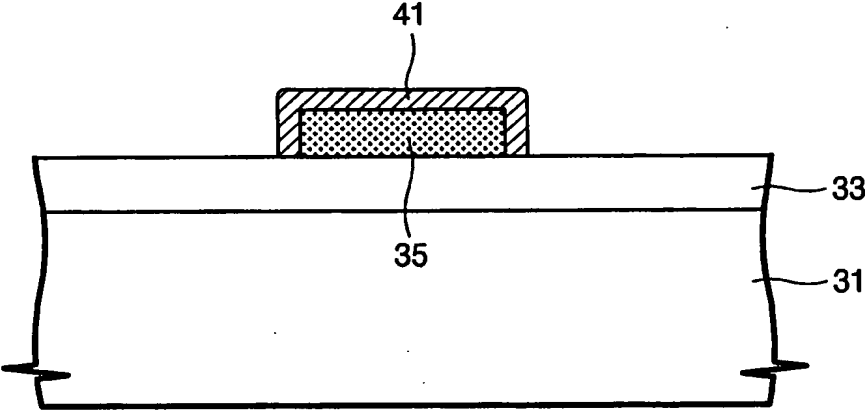
【도 4】



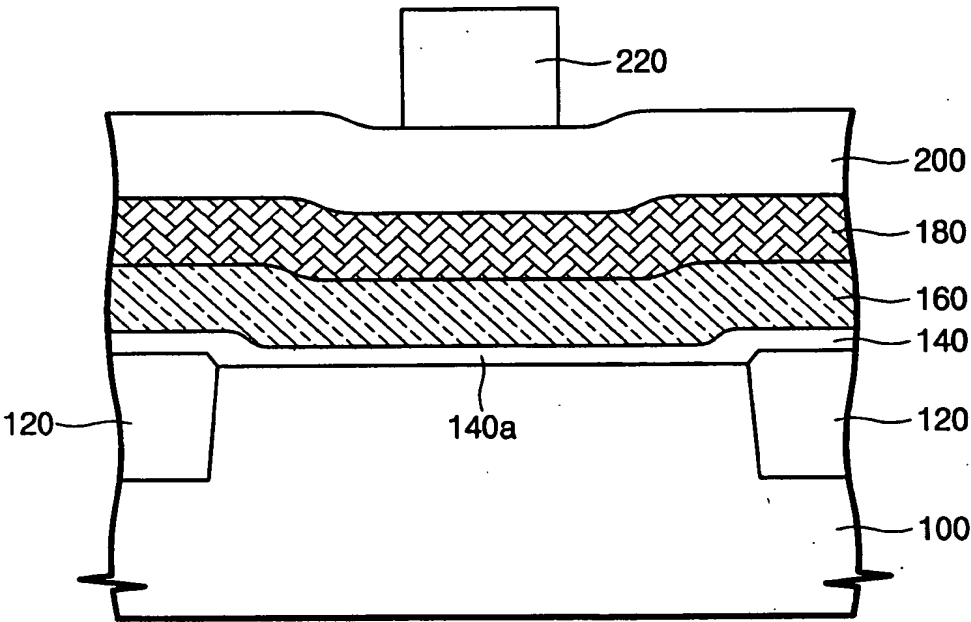
【도 5】



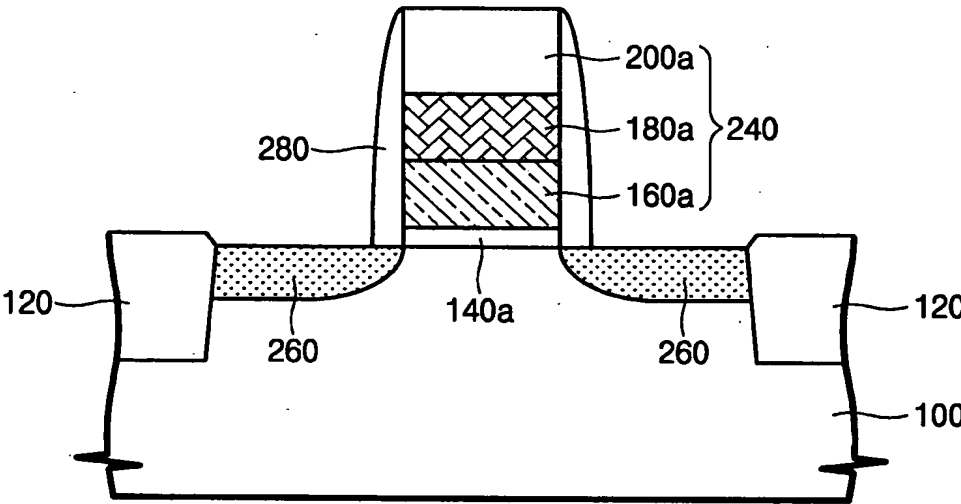
【도 6】



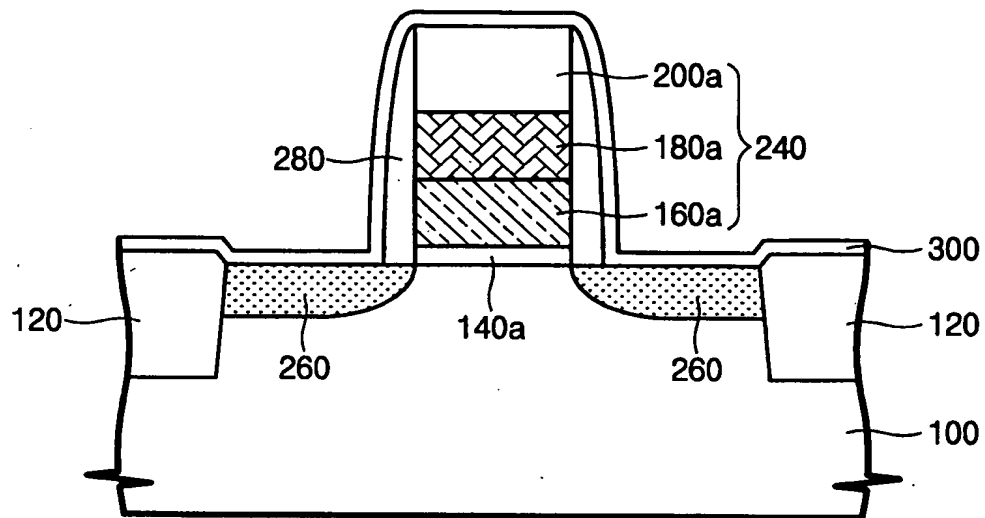
【도 7】



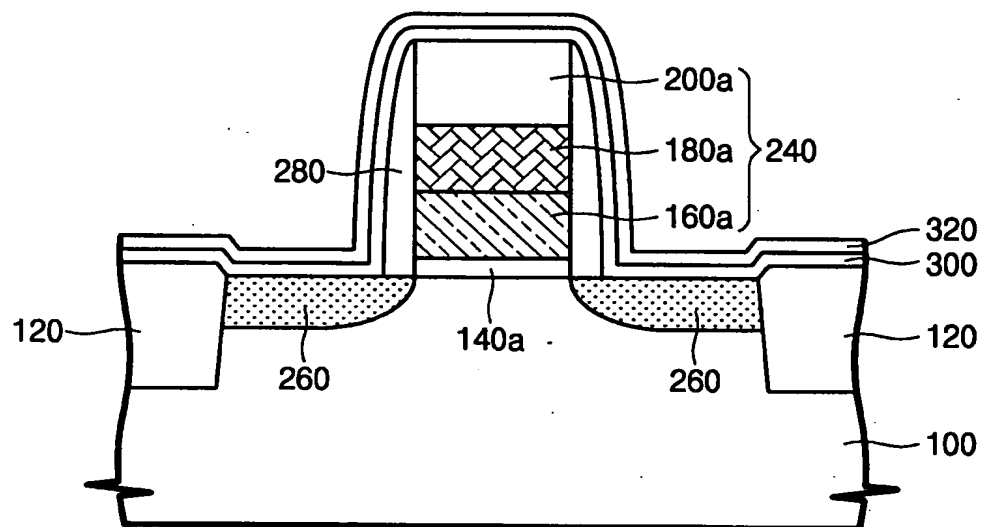
【도 8】



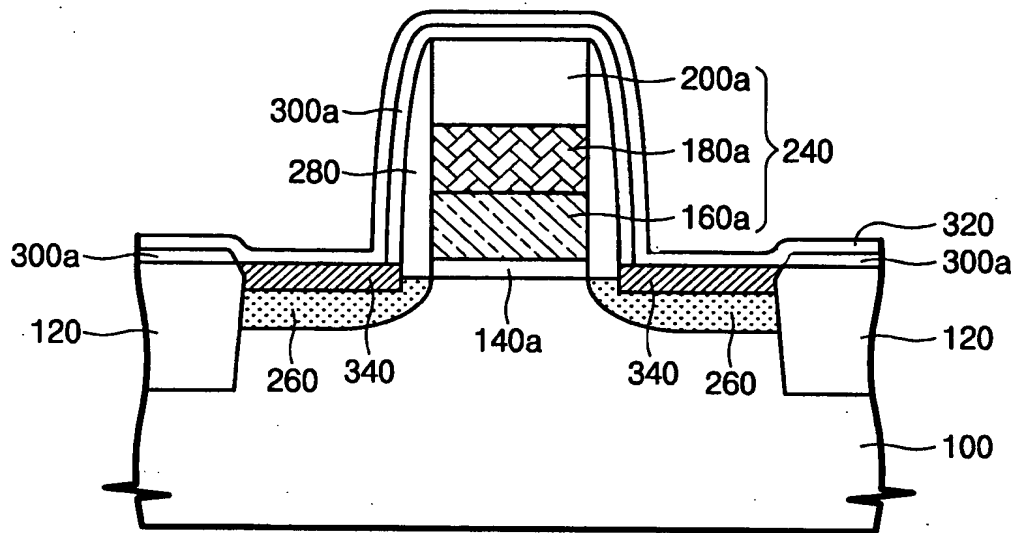
【도 9】



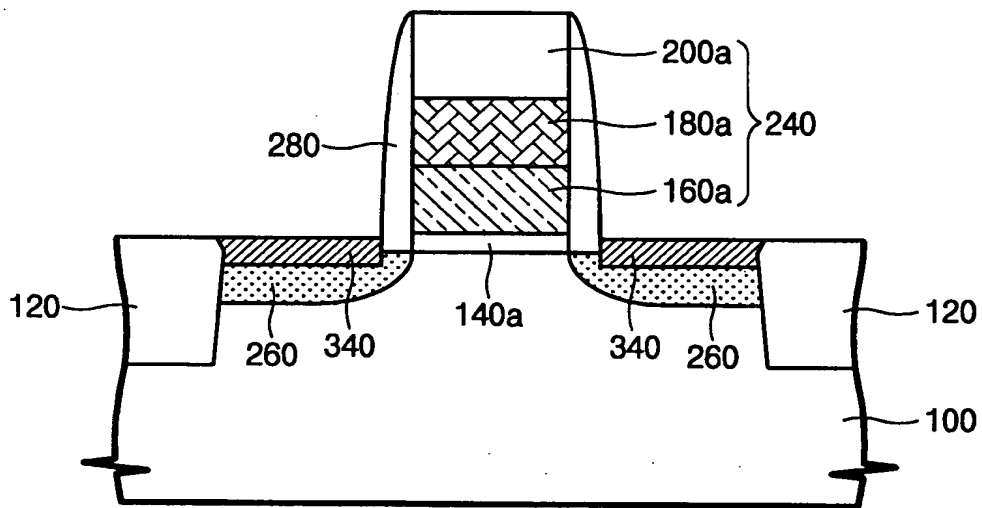
【도 10】



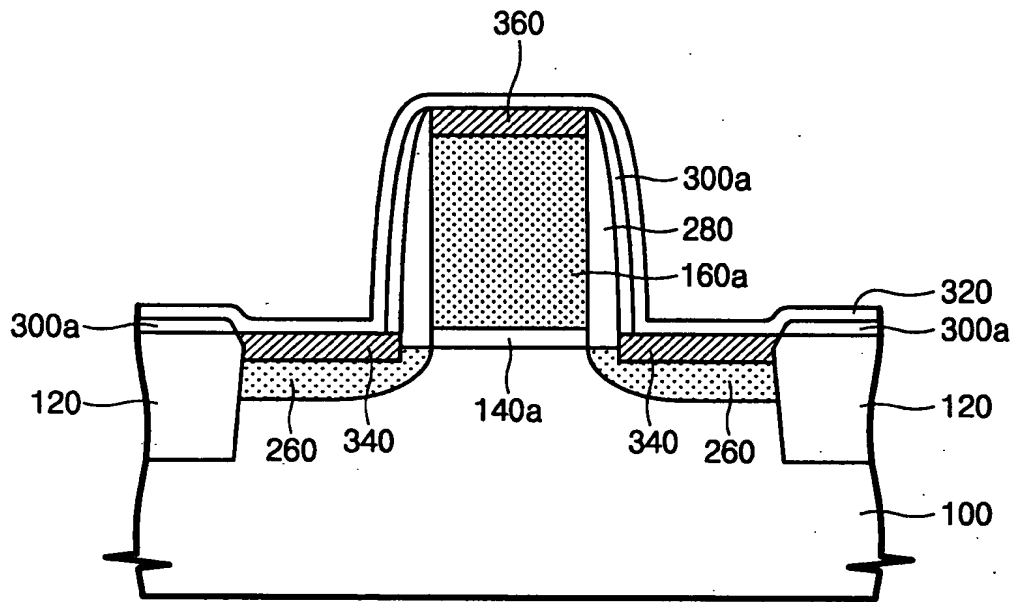
【도 11】



【도 12】



【도 13】



【도 14】

